

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-053942

(43)Date of publication of application : 25.02.1994

(51)Int.Cl.

H04L 1/00  
G06F 11/10  
G06F 13/00

(21)Application number : 05-083479

(71)Applicant : INTERNATL BUSINESS MACH CORP <IBM>

(22)Date of filing : 09.04.1993

(72)Inventor : HUON PIERRE J  
JACHIMCSYK PHILIPPE  
BARUCCHI GERARD  
CALVIGNAC JEAN  
VERPLANKEN FABRICE

(30)Priority

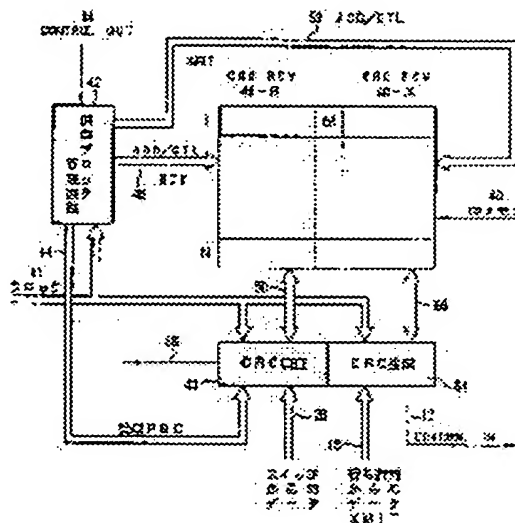
Priority number : 92 92480073 Priority date : 21.05.1992 Priority country : EP

## (54) DEVICE FOR GENERATING AND INSPECTING ERROR CORRECTION CODE FOR MESSAGE IN MESSAGE SWITCH SYSTEM

(57)Abstract:

**PURPOSE:** To provide an error correction device for securing maintenance of a message exchanged between data processing terminal equipments by providing an error correction code generation means and an error correction code inspection means.

**CONSTITUTION:** A control block management circuit 42 retrieves a packet control block PBC and sends retrieval PBC to a CRC inspection circuit 46 through a bus 44. The management circuit 42 reads former CRC and sends it to the CRC inspection circuit 46 through a bus 50. The inspection circuit 46 calculates new CRC from a received data burst byte, inspects whether calculated CRC is equal to the received CRC and stores the new CRC in a CB memory 40 instead of former CRC when they do not match. Thus, CRC is inspected on respective bursts and the result is stored on all the bursts belonging to the message.



## LEGAL STATUS

[Date of request for examination]

03.06.1993

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

2692773

[Date of registration]

05.09.1997

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

05.09.2001

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-53942

(43)公開日 平成 6 年(1994) 2月25日

(51)Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 L 1/00	B	9371-5K		
G 0 6 F 11/10	3 3 0 C	7313-5B		
13/00	3 0 1 L	7368-5B		

審査請求 有 請求項の数11(全 16 頁)

(21)出願番号 特願平5-83479

(22)出願日 平成 5 年(1993) 4 月 9 日

(31)優先権主張番号 9 2 4 8 0 0 7 3 . 3

(32)優先日 1992年 5 月21日

(33)優先権主張国 フランス (F R)

(71)出願人 390009531

インターナショナル・ビジネス・マシーンズ・コーポレーション

INTERNATIONAL BUSINESS MACHINES CORPORATION

アメリカ合衆国10504、ニューヨーク州アーモンク (番地なし)

(72)発明者 ビエール、ジャン、ユオン

フランス国サン、ローラン、デュ、パール、シュマン、デ、ラスカ、356

(74)代理人 弁理士 頓宮 孝一 (外 6 名)

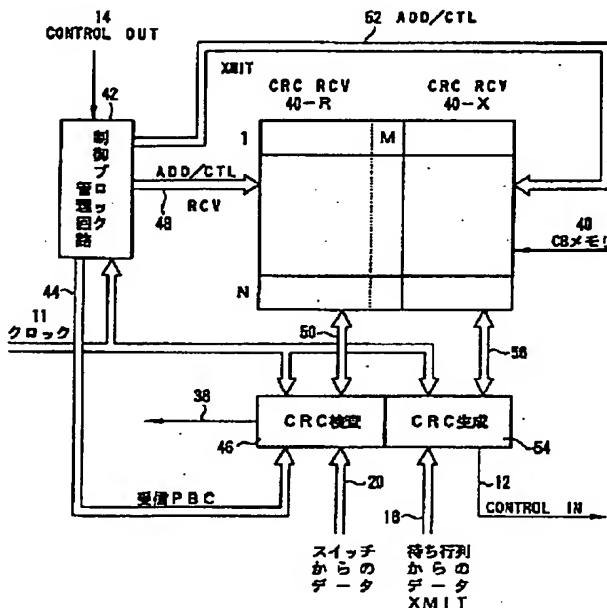
最終頁に続く

(54)【発明の名称】 メッセージ切換えシステムにおけるメッセージのエラー訂正コードを生成および検査する装置

(57)【要約】

【目的】 メッセージが固定サイズバーストまたはセルを介して交換される多数起点/多数目標端末装置切換えシステムにおいてデータ処理端末装置間で交換されるメッセージの安全性を確保するエラー訂正装置の提供。

【構成】 各端末装置は、メッセージの各バースト(目的の端末装置に対して)に対して、メッセージの第1バーストでの初期エラー訂正コード、前のバーストのエラー訂正コードおよびバーストのデータバイトの関数として、エラー訂正コードを計算するエラー制御回路を備えている。バーストエラー訂正コードは、バーストのコンパニオンとして、データ転送媒体から分離されている媒体で送られる。さらに、エラー制御回路は、起点端末装置からバーストエラー訂正コードを受け取り、バーストエラー訂正コードを生成して、受信バーストエラー訂正コードと比較される。不一致が検出されると、誤りが発見されたバーストにフラグが立てられる。



## 【特許請求の範囲】

【請求項1】通信システムにおけるデータ処理端末装置間のインターリーブ式データバーストにおいて切り替えられ、複数のワイヤを含んでいるバス(10)を介して交換されたメッセージのエラー訂正コード(CRC)を生成するエラー訂正装置(36)において、各端末装置の中に、

バーストがメッセージの最初のバーストである場合に初期エラーコード値の関数としてまたは目的端末装置に送られたメッセージの前のバーストに関連した前のエラー訂正コードの関数として、現データバーストに関連した現エラー訂正コードを生成するための同じ目的端末装置に向けて、その端末装置により送られたメッセージの現データバーストの内容に応答する、第1エラー訂正コード生成手段(54、110)と、

現エラー訂正コードをセーブして、メッセージの次のバーストが送信準備の時に前記現エラー訂正コードを前記エラー訂正コード生成手段に送る第1セーブ手段(40-X、148)、

個別のデータワイヤを介して前記起点端末装置により送られているデータバースト内容へのコンパニオンとして、前記端末装置を目標端末装置に接続するバスの少なくとも1つの第1専用制御ワイヤで現エラー訂正コードを送るエラー訂正コード送信手段(54、114、130)と、を含むことを特徴とするエラー訂正装置(36)。

【請求項2】前記第1セーブ手段が、前記起点端末装置に対する可能な目標端末装置の数に等しい数のメモリ場所を含み、1つの場所が各可能な目標端末装置に割り当てられる第1制御ブロックメモリ(40-X)と、

メッセージデータバーストが送られる目標端末装置に指定された場所のメモリアドレスを生成し、そのアドレスで記憶されたエラー訂正コードを前記エラー訂正コード生成手段に送り、そのメモリアドレスに現エラー訂正コードを書き込む第1メモリアドレス指定手段とを含むことを特徴とする請求項1に記載のエラー訂正装置。

【請求項3】前記第1セーブ手段が、データバーストに関連した現エラー訂正コードを記憶する第1記憶手段(148)と、

前記起点端末装置から送られた次のバーストが同じ目標端末装置に向けられている場合、前記第1記憶手段の内容を前記エラー訂正コード生成手段に送るゲーティング手段(116)と、を含むことを特徴とする請求項2に記載のエラー訂正装置。

【請求項4】前記エラー訂正コード生成手段が、データバーストのバイトを並列に受け取り、エラー訂正コードの初期値または前記第1セーブ手段から読み取られた訂正コードを並列に受け取り、前記バーストの各バイトについて、前記バーストの最後のバイトが処理されるま

で、次のバイトの中間エラー訂正コードを計算するのに使用された中間エラー訂正コードを計算し、最後に計算された中間エラー訂正コードを現エラー訂正コードとして使用するエラー訂正コード計算手段(110)を含むことを特徴とする請求項1ないし3のいずれかに記載のエラー訂正装置。

【請求項5】前記複数の端末装置は複数のバスを介して、それぞれ起点端末装置と目的端末装置を含む複数端末装置対を選択するよう各バースト時間( $T_i$ )中に選択処理を実行し、選択された端末装置がそこからのデータバーストを受け取る端末装置のアドレスと次のバースト時( $T_i+k$ )( $k$ は2以上)にデータバーストを送る端末装置のアドレスを前記選択された端末装置に送る切換えシステムに接続され、前記アドレスは前記端末装置を前記切換えシステムに接続する複数のバスの第1の制御ワイヤを介して送られる通信システムにおいて実施される請求項2、3または4に記載のエラー訂正装置において、

各端末装置において、前記第1メモリアドレス指定手段が、

各バースト時間 $T_i$ 中に前記第1制御ワイヤから受け取った目標端末装置のアドレスに応答し、前記第1制御ブロックメモリのアドレスを生成し、そのアドレスに記憶されたエラー訂正コードを読み取り、前記エラー訂正コードを、前記端末装置を前記切換えシステムに接続するバスの第2制御ワイヤを介してバースト時間( $T_i+k$ )中に前記端末装置により送られた現エラー訂正コードを計算するエラー訂正コード生成手段に送る、ことを特徴とするエラー訂正装置。

【請求項6】請求項1ないし4のいずれかに記載のエラー訂正装置において、各端末装置におけるエラー訂正コード検査手段(46)は、

第2専用制御ワイヤおよび端末装置と起点端末装置を接続するバスのデータワイヤを介して前記起点端末装置からデータバーストと関連するエラー訂正コードを受け取り、起点端末装置から受け取ったメッセージの各バーストの内容に応答し、そのバーストがメッセージの第1バーストである場合には初期エラー訂正コードの関数としてまたは同じ起点端末装置からのメッセージの前のバーストが受け取られるときに計算された前のエラー訂正コードの関数として、前記バーストに関連した現エラー訂正コードを計算する第2エラー訂正コード生成手段(210)と、

現エラー訂正コードと受信したエラー訂正コードを比較し、不一致が検出されるとメッセージエラーを示す信号を生成する比較手段(218)と、

前記現エラー訂正コードをセーブし、同じ起点端末装置からのメッセージの次のバーストが受け取られると前記エラー訂正コードを前記第2エラー訂正コード生成手段に送る第2セーブ手段(40-R、212)と、を含む

ことを特徴とするエラー訂正装置。

【請求項7】請求項6に記載のエラー訂正装置において、前記第2セーブ手段が、前記端末装置がメッセージを受け取る可能性のある起点端末装置の数に等しいメモリ場所を含み、1つの場所は各可能な起点端末装置に指定される第2制御ブロックメモリ(40-R)と、そこからメッセージデータバーストが受信される起点端末装置に指定された場所のメモリアドレスを生成し、そのアドレスに記憶されたエラー訂正コードをエラー訂正コード検査手段に送り、そのメモリアドレスに現エラー訂正コードを書き込む第2メモリアドレス指定手段と、を含むことを特徴とするエラー訂正装置。

【請求項8】請求項7に記載のエラー訂正装置において、前記第2セーブ手段が、データバーストに関連した現エラー訂正コードを記憶する第2記憶手段(212)と、前記端末装置が受信した次のバーストが同じ起点端末装置から起動されたものである場合前記第2記憶手段の内容を前記エラー訂正コード検査手段に送るゲーティング手段(116)とを含むことを特徴とするエラー訂正装置。

【請求項9】請求項6ないし8のいずれかにエラー訂正装置において、前記第2エラー訂正コード生成手段が、データバーストのバイトを平列に受け取り、エラー訂正コードの初期値、または前記第2セーブ手段から読み取られたエラー訂正コードを平列に受け取り、バーストの各バイトに対して、そのバーストの最後のバイトが処理されるまで、次のバイトに対する中間エラー訂正コードを計算するのに使用された中間エラー訂正コードを計算して最後に計算された中間エラー訂正コードを現エラー訂正コードを使用するエラー訂正コード計算手段(210)を含むことを特徴とするエラー訂正装置。

【請求項10】請求項7、8または9のいずれかに記載のエラー訂正装置において、前記第2制御ブロックメモリの各場所は、前記比較手段により検出された不一致の第1発生時にエラーフラグが設定されるフィールドを含むと共に、前記比較手段からの信号と前記第2制御ブロックメモリから読み取られたフラグに応答して、そのフラグビットが設定されず一致が前記比較手段により検出される場合メッセージにエラーがないことを示す信号を生成する生成手段(224)を含むことを特徴とするエラー訂正装置。

【請求項11】端末装置がバスを介して切換えシステムに接続され、前記切換えシステムは各バースト時間( $T_i$ )中に、それぞれ起点および目標端末装置を含む複数対の端末装置を選択する選択処理を実行して、そこから前記選択された端末装置がデータバーストを受けとる端末装置のアドレスと前記選択された端末装置が次のバースト時間( $T_{i+k}$ )( $k$ は2以上)中にデータバース

トを送る端末装置のアドレスを前記選択された端末装置に送り、前記アドレスは前記端末装置を前記切換えシステムに接続するバスの第1制御ワイヤを介して送られる通信システムで実施される請求項6ないし10のいずれかに記載されたエラー訂正装置において、各端末装置において、前記第2メモリアドレス指定手段は、各バースト時間 $T_i$ 中に前記第1制御ワイヤから受け取った起点端末装置のアドレスに応答して、前記第2制御ブロックメモリのアドレスを生成しそのアドレスに記憶されたエラー訂正コードを読み取り、このエラー訂正コードを、現エラー訂正コードを計算してバースト時間 $T_{i+k}$ に前記現エラー訂正コードを前記比較手段に送る前記第2エラー訂正コード生成手段に送ることを特徴とするエラー訂正装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は多数の起点/多数の目標ユーザ切換えシステムにおいてユーザ間で交換されるメッセージの保全性を確保する装置に関する。具体的には、メッセージが固定サイズバーストまたはセルを介して交換される切換えシステムで実施されるような装置に関する。

【0002】

【従来の技術及び発明が解決しようとする課題】欧州特許出願第0387464号に記載されているような切換えシステムにおいて、メッセージは、固定数のバイトから成るバーストを介してデータ処理端末装置間で交換される。切換えシステムは、そのシステムに接続された複数のデータ処理端末装置の中から選択された起点端末装置と目標端末装置から成る複数の端末装置対の間で最多数のデータ同時転送を実行する。各端末装置は、データ処理端末装置によりそのアウトバウンド待ち行列と関連のあるデータ処理端末装置に送られるデータバケットを記憶するために、アウトバウンド待ち行列の集合を備えており、その中の1つのアウトバウンド待ち行列がその端末装置からデータバケットまたはメッセージが送られるデータ処理端末装置のそれぞれと提携している。

【0003】複数の転送は、以前のバースト時間中にスケジューラにより生成された制御出力信号に回答して選択された端末装置によりデータスイッチに送られた制御信号による切換え制御下で、バースト時間中にデータスイッチにより実行される。このスケジューラは選択アルゴリズムを実行する。選択アルゴリズムは、所与の期間に起点端末装置および/または目標端末装置として各端末装置が選択される可能性を等価にするものである。これは、メッセージがたとえば32バイトの固定数バイトを含むバーストの連続として転送される切換え概念に基づく。様々な起点/目標端末装置との間のメッセージのインターリーブ式バーストが切換えシステムに送られ、データバーストは、先バースト/後バースト/バイトカ

ウントなどのバースト内容に関連する制御情報を含む関連制御フィールドと切換えられる。データバーストと関連する制御情報は個別の媒体で交換される。

【0004】メッセージ交換は任意の変更に対して保護されなければならない。保護のためには、巡回冗長コードCRCの中にあるエラー訂正コードが各メッセージに含まれてなければならない。従来の出願では、メッセージのサイズは最高64キロバイトである。すなわち、19ビットCRCが、すべての型のビット列エラーの効率的な検出を実行するのに必要である。

【0005】通常通り、エラー訂正コードCRCは、メッセージの終端に追加される。しかし、メッセージをバーストに分断すると、CRCの処理は複雑になる。すなわち、メッセージの終端の追加バーストにはCRCビットが含まれる必要があり、この結果、バーストメッセージが1つの場合にはオーバーヘッドが高くなり過ぎる。

【0006】

【課題を解決するための手段】本発明によるエラー訂正装置は、通信システムにおけるデータ処理端末装置間のインターリーブ式データバーストで切り換えられて、複数のワイヤを含むバス(10)を介して交換されるメッセージのエラー訂正コード(CRC)を生成する。このエラー訂正端末装置は、各端末装置において、バーストがメッセージの最初のバーストである場合、初期エラーコード値の関数としてまたは同じ目標端末装置に送られたメッセージの前のバーストに関連する前のエラー訂正コードの関数として、現データバーストに関連する現エラー訂正コードを生成する目標端末装置に向けて前記端末装置から送られたメッセージの現データバーストの内容に  
20 応答するエラー訂正コード生成手段と、現エラー訂正コードをセーブして、メッセージの次のバーストが送信準備されているときに上記エラー訂正生成手段に上記現エラー訂正コードを送る第1セーブ手段と、個別データワイヤを介して前記端末装置から送られたデータバースト内容へのコンパニオンとして、その端末装置を目標  
30 端末装置に接続しているバスの少なくとも1つの専用制御ワイヤで現エラー訂正コードを送信するエラー訂正コード送信手段と、を含む。

【0007】本発明の好ましい実施例では、前記第1セーブ手段は、前記端末装置に対する可能な目標端末装置の数の等しい記憶場所を含み、1つの場所が各可能な目標端末装置に指定される第1制御ブロックメモリと、メッセージデータバーストが送信される目標端末装置に指定された場所のメモリアドレスを生成し、そのアドレスで記憶されたエラー訂正コードを前記エラー訂正コード生成手段に供給し、そのメモリアドレスに現エラー訂正コードを書き込むメモリアドレス指定手段と、を含む。

【0008】本発明によるエラー訂正装置はさらに、専用制御ワイヤおよび、受信端末装置と起点端末装置を接続するバスのデータワイヤを介して起点端末装置からデ

ータバーストと関連するエラー訂正コードを受信し、起点端末装置から受信されたメッセージの各バーストの内容に  
5 応答し、そのバーストがメッセージの最初のバーストである場合に初期エラー訂正コードの関数としてまたは同じ起点端末装置からのメッセージの前のバーストが受信されたときに計算された前のエラー訂正コードの関数として、そのバーストに関連した現エラー訂正コードを計算するエラー訂正コード検査手段と、現エラー訂正コードと受信されたエラー訂正コードを比較し、不一致  
10 が検出された場合にメッセージエラーを示す信号を生成する比較手段と、現エラー訂正コードをセーブし、同じ起点端末装置からのメッセージの次のバーストが受信される時に前記エラー訂正コードを前記エラー訂正コード検査手段に供給する第2セーブ手段と、を含む。

【0009】本発明の好ましい実施例では、第2のセーブ手段は、前記端末装置がメッセージを受け取ることができる可能な起点端末装置の数の等しい記憶場所を含み、1つの場所が各可能な起点端末装置に指定されている第2制御ブロックメモリと、メッセージデータバーストを発信する起点端末装置に指定された位置のメモリア  
15 ドレスを生成し、前記エラー訂正コード検査手段にそのアドレスに記憶されたエラー訂正コードを送り、そのメモリアドレスに現エラー訂正コードを書き込むメモリアドレス指定手段と、を含む。

【0010】本発明によるエラー訂正装置は、複数の端末装置が複数のバスを介して切換えシステムに接続されている通信システムで実施されるのが好ましい。この切換えシステムは、各バースト時間( $T_i$ )中に選択処理  
20 を実行し、それぞれ1つの起点端末装置と1つの目標端末装置を含む複数対の端末装置を選択し、選択された端末装置に、それらにデータバーストを送信する端末装置のアドレスと、次のバースト時間( $T_{i+k}$ )( $k$ は2以上)中にデータバーストを送信する端末装置のアドレスとを送信し、前記アドレスは各单位端末装置を切換えシステムに接続するバスの第1制御ワイヤを介して送信  
30 される。

【0011】

【実施例】本発明は、上記の特許出願に記載され図1と2に表されているような切換えシステムにおいて実施  
40 されている。

【0012】この切換えシステムは、バス10-1ないし10-Nを介して、通信アダプタであるN個のデータ処理端末装置8-1ないし8-Nに接続された切換え論  
50 理回路2を備えている。

【0013】バス10-1ないし10-Nのそれぞれには、連続ビットストリームを運ぶのに使用されるワイヤ、すなわち、CONTROL INワイヤ12-1ないし12-NおよびCONTROL OUTワイヤ12-1ないし12-Nが含まれている。CONTROL INワイヤ12-1ないし12-Nは切換え論理回路2

のスケジューラ4に接続される。スケジューラは、CONTROL INワイヤ12-1ないし12-Nでデータ処理端末装置からのビットストリームに応答して、CONTROL OUTワイヤ14-1ないし14-Nで直列ビットストリームを生成する。

【0014】CONTROL INワイヤからの切換え制御信号は、切換え論理のデータスイッチ6に送られて、上記の欧州特許出願に記載されているようにスケジューラにより選択された複数対の端末装置からのデータバーストの転送を制御する。

【0015】バス10-1ないし10-Nには、XMIT-DATAワイヤ18-1ないし18-NとRCV-DATAワイヤ20-1ないし20-Nも含まれている。これらのワイヤは、データ処理端末装置8-1ないし8-Nとデータスイッチ6の間およびデータスイッチとデータ処理端末装置8-1ないし8-Nの間でデータバイトを並列して運ぶのにそれぞれ使用される。

【0016】さらに、スケジューラ4は、クロック信号を、クロックバス11を介して、データ処理端末装置8とデータスイッチ6に送信し、データ処理端末装置8から

受信して、データ転送動作を刻時する。  
【0017】前述のように、データ処理端末装置間で転送される情報のストリームが、それぞれ固定長をもつ複数のバーストに区分される。これらのバーストは、1つのバースト時間で同期して交換される。すなわち、これらのバーストでは、送信の開始と終了が同時に行なわれる。

【0018】バースト時間は、データバーストを転送するのに必要な時間に等しい。

【0019】スケジューラ4は、上記に参照された欧州特許出願に記載されたような選択アルゴリズムを実行することにより、N個のデータ処理端末装置8-1ないし8-Nの中の1つの送信端末装置（起点端末装置）と対応する受信端末装置（目標端末装置）を含む複数対の端末装置を選択する。この選択アルゴリズムは、各バースト時間中にデータ処理端末装置対を最高数選択することで、切換え論理2の全体的な変換機能を最適化する。これらの端末装置は、送信、受信またはその両方のために選択できる。

【0020】要約すると、バースト時間 $T_i$ 中に、同時転送が、前のバースト時間 $T_{(i-k)}$ 中に選択された対のデータ処理端末装置間で、それらに関連したRCVとXMITデータワイヤ20と18を介して、実行される。スケジューラ4は、処理工程の効率的なパイプライン化するために、次のバースト時間 $T_{(i+k)}$ 中にデータ転送を実行するために選択される複数対のデータ処理端末装置を決定する。ここで $k$ は1であってもよいが、本発明の好ましい実施例では5である。

【0021】この選択は、複数の端末装置からの転送要求を含むCONTROL INビットストリームの制御

下で、前のバースト時間中に実行された転送に応じて、実行されて、各データ処理端末装置に等しい選択の機会を与える。

【0022】図2は、A、B、C、Dと呼ばれる4つの端末装置を備えた切換えシステムにおいて実施されたときのデータ処理端末装置の構成図である。

【0023】図2ないし10は、N個の端末装置中の任意の端末装置の詳細な実施例を示しており、参照番号の後の接尾辞は消してある。

10 【0024】各端末装置は、その端末装置が受信したデータまたはその端末装置がこれから送信するデータを処理する従来のデータ処理手段22を含む。

【0025】送信するデータは、バス26を介して待ち行列マネージャ24に送られ、受信データは待ち行列マネージャ24からデータ処理手段22にバス28を介して送られる。

【0026】これから送信するデータと受信データはメモリ30に記憶される。各端末装置は、その端末装置と他のデータ処理装置を、データバイトを送信する潜在的な目標と見なしている。そのため、メモリ3は各端末装置に向けた1つの待ち行列を備えている。これらの待ち行列はアウトバウンド待ち行列と呼ばれる。

【0027】4つのデータ処理端末装置A、B、C、Dが備えられていると仮定されているので、4つのアウトバウンド待ち行列QOa、b、c、dがある。例えば、端末装置Aでは、アウトバウンド待ち行列QOaは、端末装置Aにより使用されて、端末装置Aに送信されるデータを折返しテストのために待ち行列に入れ、アウトバウンド待ち行列QObは、端末装置Bなどに送信されるデータを待ち行列に入れるのに使用される。

30 【0028】1端末装置当たりインバウンド待ち行列QIa、b、c、dもあり、それぞれ端末装置A、B、C、Dから受信されたデータを待ち行列に入れるのに使用される。インバウンド待ち行列から読み取られたデータは、待ち行列マネージャ24の制御下でデータ処理手段22に送られる。

40 【0029】要求およびバースト状況マネージャ回路34は、アウトバウンド待ち行列が空でなくなったとき待ち行列マネージャ24により生成された要求から、CONTROL OUTワイヤ14-1上のビットストリームから、CONTROL INワイヤ12-1上の直列ビットストリームの複数のフィールドを生成する。

【0030】本発明によると、CRC制御回路36は、図1と2に記載されているようなシステムにおいてエラー訂正コードを処理するために備えられている。

【0031】CRC制御回路36は、CONTROL INワイヤで各バースト時間毎に送られたエラー訂正ビットCRCを生成し、CONTROL OUTワイヤからのCRCビットを検査して、受信されたメッセージにエラーがあるかどうかを示す信号を線38で生成する。こ

の回路は、XMIT-DATAとRCV-DATAバス18-1と20-1からのデータをバス11からタイミング信号を受け取る。

【0032】CONTROL INとOUTワイヤで、直列ビットストリームもバースト時間に区分され、バースト時間内の直列ビットストリームのフォーマットは図3に示してある通りである。

【0033】CONTROL INワイヤで、偶数のビットはCONTROL IN EVENとして示してあり、奇数のビットはCONTROL IN ODDとして示してある。

【0034】以後、有益なビットに限って説明する。偶数ビット0ないし12は、要求目標端末装置アドレスRUTAとセット/リセットビットS/Rを搬送するのに使用され、このフィールドのビットは、スケジューラへの要求をセットまたはリセットするのに使用され、上記に参照した欧州特許出願に説明されているように、選択アルゴリズムを実行する。これらのビットは、目標端末装置に向けられたアウトバウンド待ち行列の状況を反映しており、こうした待ち行列が空でない時に、要求が設定され、空になると、要求がリセットされる。

【0035】偶数番号ビット16ないし44はパケットバースト制御情報PBCを搬送する。ビット16が1に設定されると、そのバーストが、XMITデータワイヤで送信されたパケットの第1バーストであることを示す。ビット18が1に設定されると、そのバーストが最後のバーストであることを示す。ビット20ないし30はパケットバイトカウントを搬送する。ビット32はパリティPビットである。ビット34ないし44はXMITデータワイヤで送られたバーストのCRCを搬送する。以後のビット46ないし62は、本発明の実施のためには使用されない。

【0036】CONTROL INワイヤ上の奇数番号ビットは、XMIT-DATAワイヤ上の関連するバーストが向けられる目標端末装置アドレスTUAを搬送するのに使用される。

【0037】図3に示すように、XMIT-DATAワイヤ上のデータバーストは、関連する制御ブロックに関して移送されて、スケジューラはデータバーストの前で目標端末装置アドレスを受信する。これはバースト切換えに必要である。

【0038】CONTROL OUTワイヤでは、偶数番号ビットだけが本発明の端末装置を実施するのに有益である。

【0039】偶数番号ビット0ないし10は、次の目標ユニットアドレスNTUAを搬送するのに使用され、ビット48ないし58は、次の起点ユニットアドレスNOUAを搬送するのに使用され、それらはスケジューラにより各バースト時間毎に送られて、複数対の選択されたユニットを決定する。これは上記の欧州特許出願に記載

の通りである。

【0040】ビット16ないし44は、RCV-DATAワイヤ上の受信バーストに関連したパケット制御ブロックPBCを搬送するのに使用される。このブロックにはCRCコードが含まれている（ビット34ないし44）。

【0041】図4は、図2のCRC制御回路36の構成図である。

【0042】この回路36には、RCV部分40-RとXMIT部分40-Xから構成される制御ブロックCBメモリ40が備えられている。各部分はN個のメモリ場所を備えており、各場所は端末装置8-1ないし8-Nの中の対応する端末装置に指定される。

【0043】CBメモリ40は制御ブロック管理回路42によりアドレス指定される。この回路42はCONTROL OUTワイヤ14からの偶数直列ビットストリームを処理して、バースト状況と各受信データバーストに付随するCRCを含むパケット制御ブロックPBCを検索して、検索PBCをバス44を介してCRC検査回路46に送る。

【0044】受信部分40-Rは制御ブロック管理回路42によりアドレス指定される。この回路42は、データを送信する起点端末装置のアドレスを示すNOUAビットからアドレスと制御情報をバス48上で生成し、同じ端末装置からの前のバーストが受信されて、その端末装置に指定されたCRC制御ブロックに記憶されたときに計算された古いCRCを読み取る。この古いCRCは、バス50を介してCRC検査回路46に送られる。CRC検査回路46は、古いCRCと受信データバーストバイトから新しいCRCを計算して、計算されたCRCが受信されたCRCに等しいかどうかを検査して、不一致がもしあれば、古いCRCの代わりに新しいCRCをCBメモリに記憶する。

【0045】したがって、CRCは各バーストに関して検査されて、その結果は、メッセージに従属するすべてのバーストに関して記憶される。誤りとされたメッセージの第1バーストで（計算されたCRCと受信されたCRCの間の不一致）、フラグMがその端末装置に関連した制御ブロックに設定されて、バースト検査結果の少なくとも1つが誤り指示である場合に、メッセージ全体にエラーフラグが立つ。

【0046】送信部分は制御ブロック管理回路42によりアドレス指定される。この回路42は、データバーストを送る目標端末装置のアドレスを示すNTUAビットからアドレスおよび制御情報をバス52上で生成して、同じ端末装置に対する前のバーストが計算され、その端末装置に指定されたCRC制御ブロックにその計算結果が記憶されたときに計算された古いCRCを読み取る。この古いCRCは、バス56を介してCRC生成回路54に送られるので、この回路は、古いCRCの値とバス



18から受信されたデータバーストバイトの内容から、送信するデータバーストに付随する新しいCRCを計算して、CONTROL INワイヤ上に直列ビットストリームを生成して、新しいCRCをメモリ40-Xに記憶する。

【0047】当然のことながら、制御ブロック管理回路42、回路46と54のすべての動作がバス11からのクロック信号によりタイミングがとられる。

【0048】図5は、制御ブロック管理回路42をより詳細に表している。この回路42には、CONTROL

OUTワイヤ上の直列ビットストリームがビットクロック率および各バースト時に入力される並列化機構60が備えてある。並列化機構の内容は多重化構成62に転送されて、NTUAビットとNOUAビットを、5つのレジスタ64-1ないし64-5および66-1ないし66-5をそれぞれ含むレジスタスタックの第1レジスタ64-1と66-1にゲートして、各バースト時に、スタックの1つのレジスタの内容が次のレジスタに移送される。バースト状況と、受信バーストに関連するCRCビットを含むPBCビットがPBCレジスタ68にゲートされて、CRC検査回路46に送られる。

【0049】レジスタスタック64と66は必要である。これは、以前に説明したように、NTUAとNOUA情報は、スケジューラにバーストを送る端末装置NOUAを示す端末装置、およびスケジューラが次のバースト時間 $T_i+k$ （たとえば、 $k=5$ ）でバーストを送信しなければならない端末装置において、バースト時間 $T_i$ でスケジューラにより供給される。全体的に、バス20から端末装置により受信された2つの連続バーストが同じ起点端末装置からではなく異なる端末装置から起動される。ただし、留保要求に基づく選択アルゴリズムを実行するスケジューラによる端末装置選択に依存している例は除く。

【0050】同じ理由で、バス18を介して端末装置により送られた連続するバーストがいくつかの例を除いて同じ目標端末装置に向けられていない。

【0051】その結果、バースト時間 $T_i=5$ で端末装置によるバーストの送信を制御するために、バースト時間 $T_i$ で受信されたレジスタ64-1のNTUAビットは、時間 $T_i+3$ でレジスタ64-3に、時間 $T_i+4$ でレジスタ64-4におかれる。その結果、異なる目標端末装置がバースト時間 $T_i+1$ でスケジューラにより選択される場合、レジスタ66-3と66-4の内容は異なり、そうでない場合、すなわち、同じ端末装置が選択された場合、それらの内容は等しい。レジスタ64-3のNTUA値が比較器70に送られる。不一致が検出されると、「1」が比較器70によりその出力線72でANDゲート74に送られる。このANDゲート74は、その出力80上の読取り制御信号でレジスタ64-3の内容をゲートして、時間 $T_i+5$ 中に、データバーストへのコンバニオンとして送られる新しいCRCを計算するのに使用される古いCRCを読み取る。CRCはバースト時間 $T_i+4$ 中に計算されて、新しいCRCは、バス82を介して送られるレジスタ64-4の値により付与されるアドレスに書き込まれる。バス80と82は、メモリアクセス制御回路84に接続している。この回路84はバス52を介してアドレスおよび読取り/書込み制御信号を送る。

【0052】比較器70が一致を検出すると、メモリへの書込みアクセスは行なわれず、新しいCRCを計算するのに使用される古いCRCは、CRC生成回路54により、前のバースト時間中に計算されたCRCである。

【0053】受信側のCRC生成を制御するCBメモリアクセスは、NOUAビットにより制御されている。各バースト時間 $T_i$ で受信されたNOUAビットは、次のバースト時間 $T_i+k$ でそこからバーストが受信される端末装置のアドレスを表す。

【0054】その結果、各バースト時間で受信されたNOUAビットがシフトレジスタスタック66において移送される。レジスタ66-4のNOUAビットは、比較器70の機能と同一の機能をもつ比較器90に送られる。すなわち、この比較器90はレジスタ66-4のNOUAビットとレジスタ66-5のNOUAビットを比較する。不一致が検出されると、2つの連続する受信バーストが異なる起点端末装置からであることを意味しており、レジスタ66-4からのNOUAビットが読取りアドレスとしてANDゲート94を介してメモリアクセス制御回路104に送られる。この回路104は、そこから出るバス48で読取りアドレスを生成する。

【0055】読取りCBは、受信バーストのCRCを計算し、レジスタ68から取られた受信バーストに付随するCRCとそれを比較することによりその計算されたCRCを検査するのに使用される。レジスタ66-5のNOUAビットは、バス100を介してメモリアクセス制御回路104にCBメモリの書込みアドレスとして送られる。このCBメモリは、そこからのバス48で書込みアドレスを生成する。

【0056】図6は、CRC生成回路54をより詳細に表す。

【0057】同じメッセージの2つの連続するバーストが処理される場合には、データ処理端末装置は、CRC計算回路110に、NTUAビットを使用して選択された待ち行列から読み取られる送信用のデータバーストを、バス56を介してCBメモリから読み取られまたは回路110内で計算された古いCRCと共に送る。バースト状況は待ち行列セクタからバス113を介してレジスタ112に送られる。バースト状況には、バーストがメッセージの第1バーストかどうかを示すFビット、バーストが最後のバーストであるかどうかを示すLビット、カウントが32バイトより少ない場合バーストのバーストへのコンバニオンとして送られる新しいCRCを計算するのに使用される古いCRCを読み取る。CRCはバースト時間 $T_i+4$ 中に計算されて、新しいCRCは、バス82を介して送られるレジスタ64-4の値により付与されるアドレスに書き込まれる。バス80と82は、メモリアクセス制御回路84に接続している。この回路84はバス52を介してアドレスおよび読取り/書込み制御信号を送る。



イトの数を示すカウントビットが含まれている。これらのビットは、CRC計算回路110内で使用される。これは、回路110の具体例の記載と共に以下で説明される。

【0058】新しいCRCとバースト状況は、バースト時間 $T_{i-1}$ 中にバス116と118を介してレジスタ114に送られて、次のバースト時間 $T_i$ 中にデータバーストと共に送られる。

【0059】新しいCRCがCBメモリ40-Xに書き込まれる。

【0060】同時に、要求レジスタ120にセットまたはリセットビットおよび対応する要求目標端末装置アドレスRTUAが備えられており、要求を設定又はリセットし、この情報をスケジューラに送る。

【0061】レジスタ120と114の内容は、直列化装置122に送られて、出力線124上でビットクロック周波数の半分と等価の周波数で移送される。目標端末装置TUAのアドレスを含んでいるレジスタ64-5の内容は、線128上で、レジスタ120と114の内容と同じ周波数で直列化装置126を介して移送される。

【0062】マルチプレクサ130は、線124からのビットストリーム（偶数ビット）と線128からのビットストリーム（奇数ビット）を受信し、図3を参照して説明された型式に応じてCONTROL IN線12上でこれらのビットストリームを併合する。

【0063】図7と8は、CRC計算回路110を表す。図7に示してあるように、この回路は、図8でより詳細に表されているボックス140として示してあるCRC計算論理を含む。CRC計算論理140は、バス18を介して選択された待ち行列から送信されるバーストのデータバイトとバス144を介してマルチプレクサ142により送られる古いCRC値を受け取る。この古いCRCは、初期化CRC値「111111」またはバス146上のCBメモリから読み取られた古いCRCまたは次の連続バーストが同じ端末装置に向けられている場合にバーストの終わりに計算されたCRCである。これは線72上の比較の結果により示してある。バーストの終わりで計算されたCRCは、レジスタ148に記憶される。レジスタ148の出力バスは図6のバス116である。

【0064】バス118上のバースト状況はセクタ150に送られる。このセクタ150は、バーストがメッセージの最初のバーストであると検出されるとき、第1ビット時に線152を活動化する。線152はANDゲート154の入力端に備えられており、バス144上のバス156からの初期CRC値「111111」をゲートする。セクタ150は、各バーストの最初のビット時に線158を活動化し、ANDゲート164と166を介して、マルチプレクサ162の出力バス160で、線72が活動状態である場合バス146上のCB

メモリから供給された古いCRCまたは線72が非活動状態である場合（第2の連続バーストが同じ目標端末装置に送られることを意味する）バス116からの計算されたCRCをゲートする。前記ANDゲート164と166は、線158と72上の信号とインバータ170により反転された線72上の信号に条件付けられる。

【0065】CRC処理論理140は、CRC生成プログラム許可回路172により可動される。この回路172は、バス118から送られるバイトカウントにตอบสนองして、線174でCRC許可信号を送る。

【0066】本発明の好ましい実施例では、6ビットCRCが使用されている。システムの性能を改善するには、バーストバイトの8ビットd1、d2、d3、d4、d5、d6、d7、d8にตอบสนองするとともに、前のビット時間で計算されたCRC値である6ビットci0、ci1、ci2、ci3、ci4、ci5を含む中間CRC値にตอบสนองして、各ビット時間でシステム性能は計算される。

【0067】図8に示すCRC計算論理は、2つの入力レジスタ180と182を備えている。バーストの1バイトは、各ビット時間でレジスタ180に送られて、中間CRCがレジスタ182に送られる。

【0068】バーストの最初のビット時間で、レジスタ182の初期値はバス144でマルチプレクサ142から送られて、中間CRCはバス184から送られて、それは、各ビット時間で計算され、ANDゲート190を介してバス188上の排他的論理和機構186により送られたCRCビットcr0、cr1、cr2、cr3、cr4、cr5に等しい。

【0069】ANDゲート190は、バーストバイトカウントをロードしており各ビット時間で減分されるカウンタであるCRC生成プログラム許可回路172からの信号174により条件付けられるので、カウント値が0に等しくなるまで線174は活動状態である。

【0070】線174の信号は、インバータ192により反転されて、インバータ192の出力線194上の信号により条件付けられ、ANDゲート200の出力バス196にバス188からCRCビットcr0、cr1、cr2、cr3、cr4、cr5をゲートし、計算されたCRCレジスタ148にロードされる。

【0071】各ビット時に、CRCビットcr0ないしcr5が、図8に示すように、データビットから排他的論理和機構202により計算された中間値v0ないしv5および排他的論理和機構204により中間CRCのciビットから計算された中間値v6ないしv11から計算される。

【0072】排他的論理和機構202により計算された値：

【0073】

【数1】

15

$$v0 = d2 \oplus d3 \oplus d4 \oplus d8$$

$$v1 = d1 \oplus d4 \oplus d7 \oplus d8$$

$$v2 = d2 \oplus d4 \oplus d6 \oplus d8 \oplus d7$$

$$v3 = d1 \oplus d3 \oplus d5 \oplus d6 \oplus d7$$

$$v4 = d2 \oplus d4 \oplus d5 \oplus d6$$

$$v5 = d1 \oplus d3 \oplus d4 \oplus d5$$

排他的論理和機構204により計算された値

【0074】

【数2】

$$v6 = c12 \oplus c13 \oplus c14$$

$$v7 = c12 \oplus c15$$

$$v8 = c10 \oplus c12 \oplus c14$$

$$v9 = c10 \oplus c11 \oplus c13 \oplus c15$$

$$v10 = c10 \oplus c11 \oplus c12 \oplus c14$$

$$v11 = c11 \oplus c12 \oplus c13 \oplus c15$$

排他的論理和機構186により計算された値

【0075】

【数3】

$$Cr0 = v0 \oplus v6$$

$$Cr1 = v1 \oplus v7$$

$$Cr2 = v2 \oplus v8$$

$$Cr3 = v3 \oplus v9$$

$$Cr4 = v4 \oplus v10$$

$$Cr5 = v5 \oplus v11$$

これらの等式は、直列ビットストリームに基づいて実行され8ビットを並列に処理するよう適応された生成多項式 $X^8 + X + 1$ を使用したCRC生成処理の結果である。

【0076】図9は生成多項式 $X^8 + X + 1$ を使用する直列ビットストリーム用の従来のCRC生成回路を表す。

【0077】この回路には、図9に示してあるように構成されている、2個の排他的論理和回路210と212および6個のシフトレジスタラッチL0ないしL5が備えられている。こうした回路が使用されていると仮定すると、直列データビットストリームが排他的論理和回路210に入力され、他方の入力は、最後のラッチL5の出力端から取られる。排他的論理和回路212の両入力は、排他的論理和回路210の出力端とラッチL10の出力端から取られる。

【0078】中間値 $v0$ ないし $v11$ と $cr0$ ないし $cr5$ の値を計算するのに必要な式は、8ビットシフトの後でラッチL0ないしL5の内容を決定することにより確保される。ただし、メッセージの最初のビット時間でラッチに設定される初期値は111111と仮定する。

【0079】異なる生成多項式が選ばれば、当業者によれば、バーストの連続バイトのビットを平行して処理

16

するCRC計算論理回路を設計するために同じ処理が実施可能である。

【0080】図10はCRC検査回路46を表す。この回路46は、CRC計算回路110と同様のCRC計算回路210を含む。そのため、内部ボックス210、異なるボックスがボックス110と同じ番号が付けられており、それらの動作は詳細には説明しない。回路210との間の入出力だけが異なる。F、Lおよびカウントはバス44を介してレジスタ68（図5）から送られ、ANDゲート164は線92（図5）からの信号により条件付けられて、図8に示す論理と同等のCRC処理論理140は、バス20からの受信バイトを処理し、古いCRCはバス214を介してCBメモリ40の受信部分40-Rから送られて、レジスタ212中の受信バーストからCRCを生成する。計算されたCRCはレジスタ212の出力バス216を介してメモリバス50と回路210のANDゲート166に送られる。

【0081】計算されたCRCもレジスタ68の受信CRCと比較するために比較器218に送られる。

【0082】比較器は第1または中間バーストで不一致を検出すると、その比較器は線220を活動化し、不一致ビットMをCBメモリ40-RのCRC制御ブロックに設定する。

【0083】最後のバーストでは、一致が検出されると、線222が活動化され、ANDゲート224への入力として接続され、ANDゲート224の他端は、CBメモリ40-Rから読み取られた反転されたMビットを受け取る。メモリ40-Rから読み取られたMビットは線228で送られて、インバータ226により反転される。インバータ226の出力線230は、ANDゲート224の1入力端に接続される。

【0084】すなわち、計算されたCRCと受信されたCRCが等しく、Mビットが1に設定されていない場合、「メッセージ OK」信号がANDゲート224の出力線38で生成されて、端末装置のデータ処理手段に送られる。

【0085】エラー補正が、CRCだけがメッセージの終わりに追加された場合よりもよくなるのは各バーストの検出によるものである。

【0086】

【発明の効果】本発明によれば、メッセージが固定サイズバーストまたはセルを介して交換される多数起点/多数目標端末装置切換えシステムにおいてデータ処理端末装置間で交換されるメッセージの保全性を確保するエラー訂正装置を提供することができる。

【図面の簡単な説明】

【図1】メッセージのエラー訂正コードを生成し検査する本発明によるシステムが実施可能である通信システムを示す図である。

【図2】CRC制御回路を統合する図1のデータ処理装

置の構成図である。

【図3】データ処理装置と切換え論理を連結するバス上の制御フィールドとデータバーストの型式を表す図である。

【図4】CRC制御回路の構成図である。

【図5】図4の制御ブロック管理回路43を詳細に示す図である。

【図6】CRC生成回路54の詳細な実施例を示す図である。

【図7】図6のCRC計算回路110を示す図である。

【図8】図7のCRC処理論理回路140を示す図であ\*

＊る。

【図9】直列ビット流上でCRCを計算するのに使用できる従来の回路を示す図である。

【図10】CRC検査回路46の詳細な実施例を示す図である。

【符号の説明】

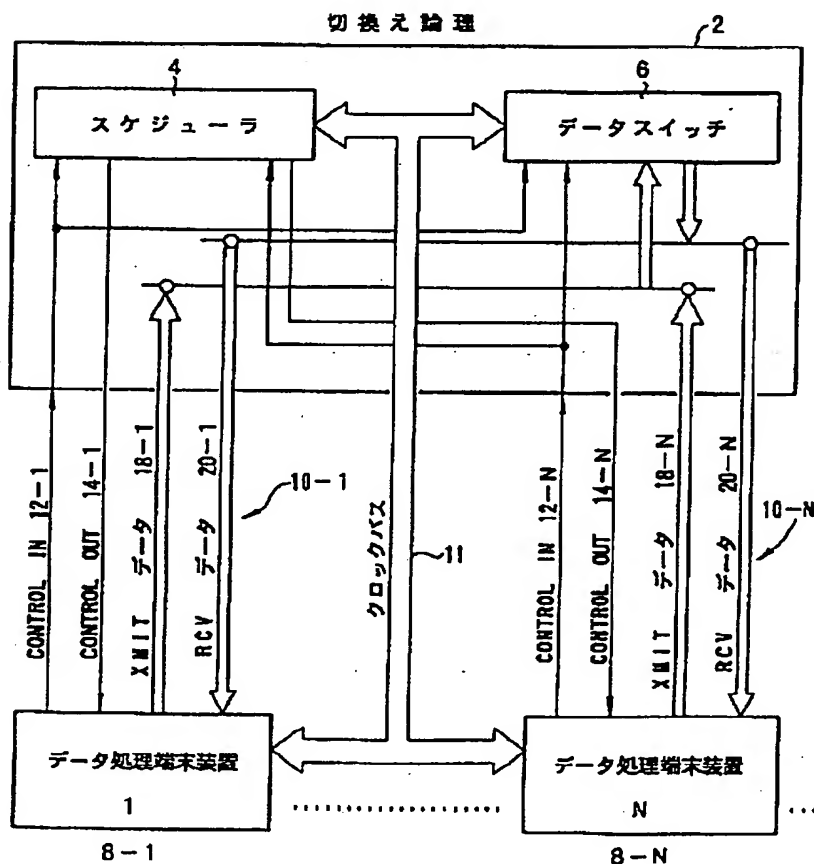
2 切換え論理回路

4 スケジューラ

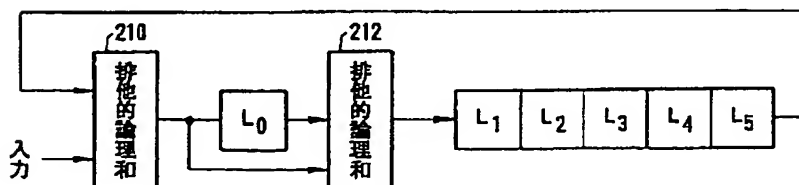
6 データスイッチ

8 データ処理装置

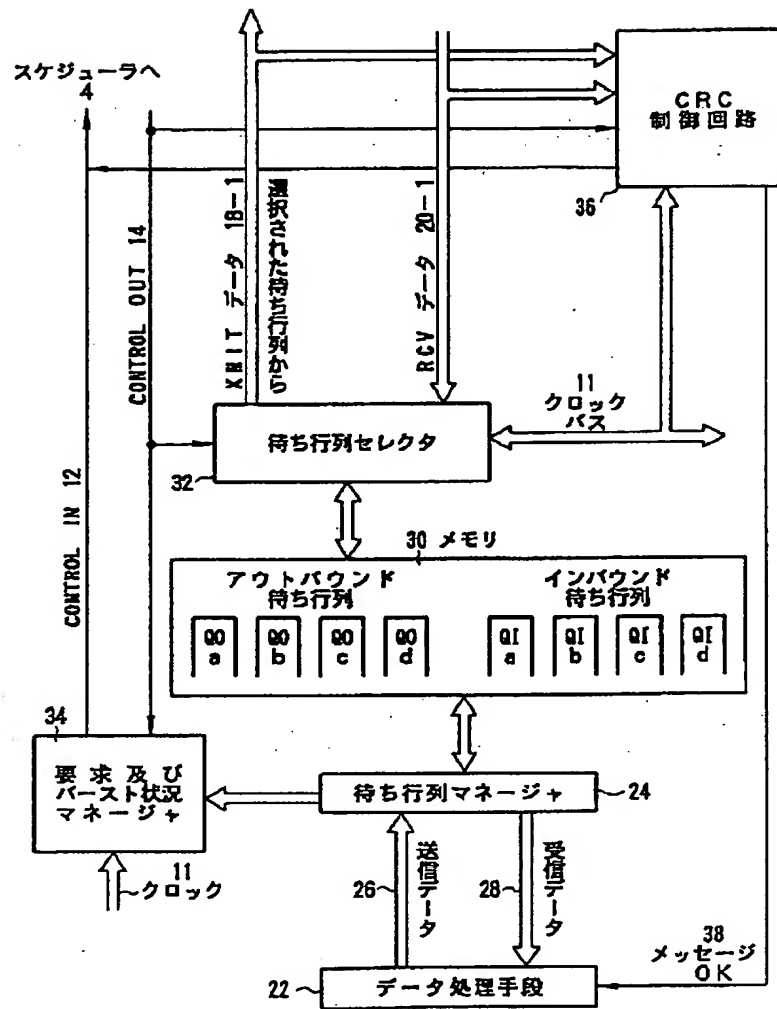
【図1】



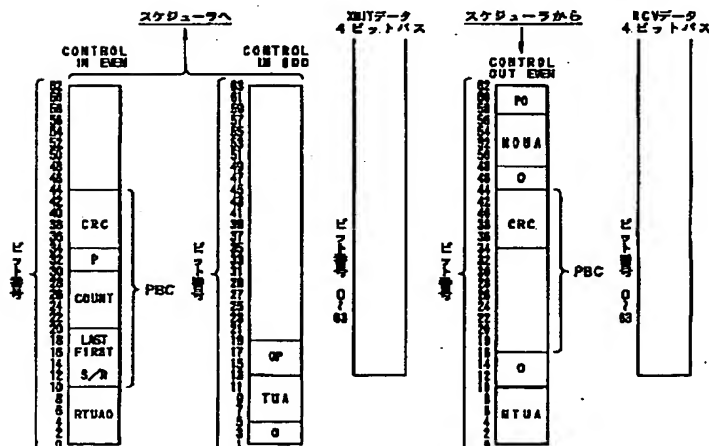
【図9】



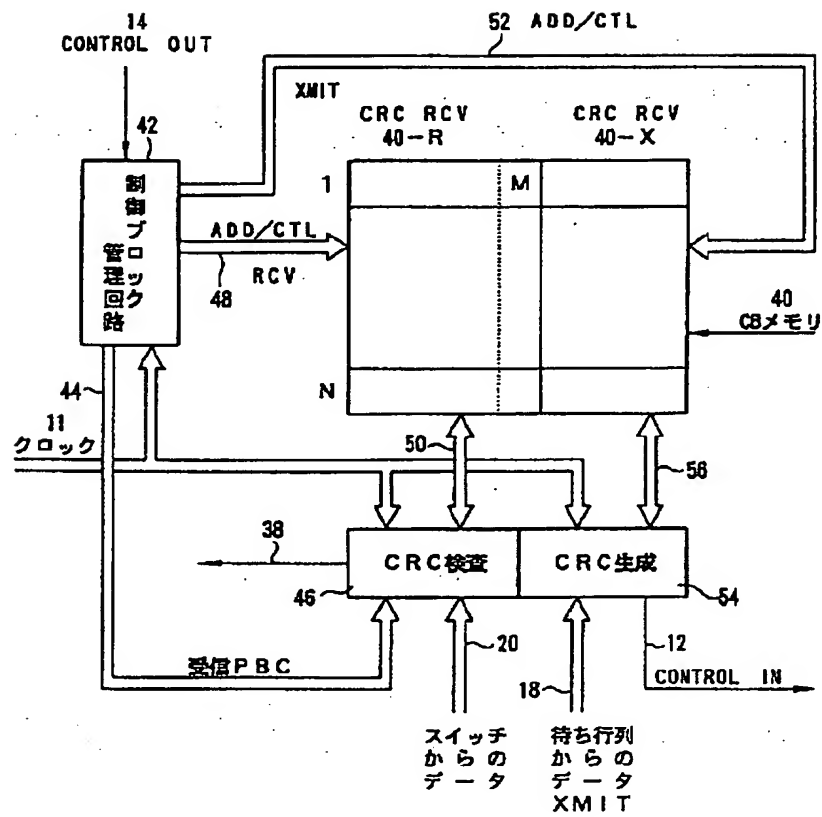
【図2】



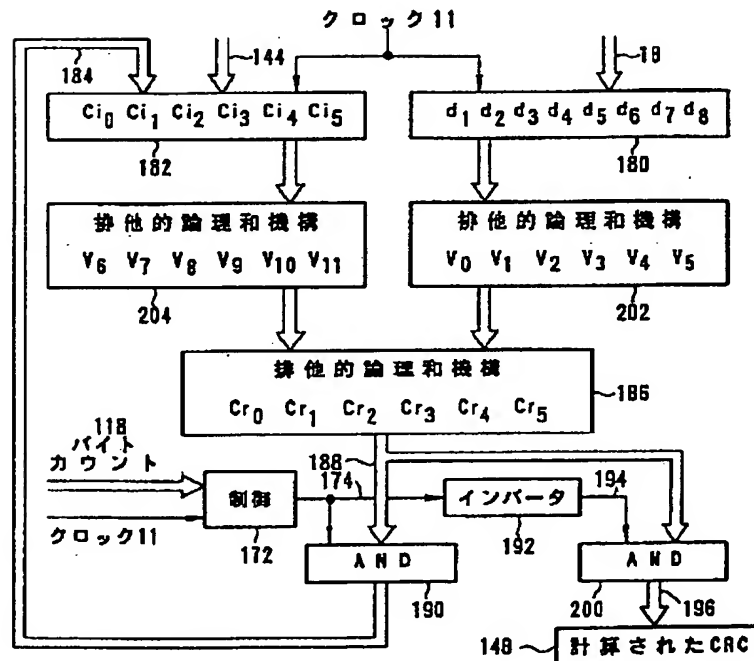
【図3】



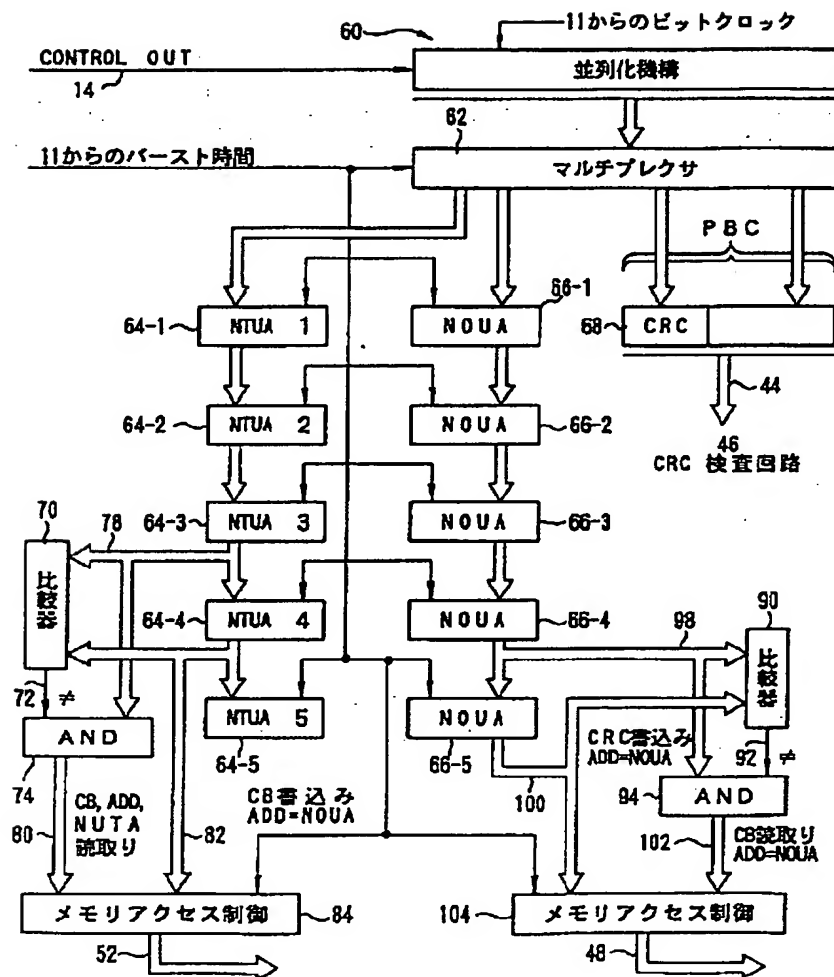
【図4】



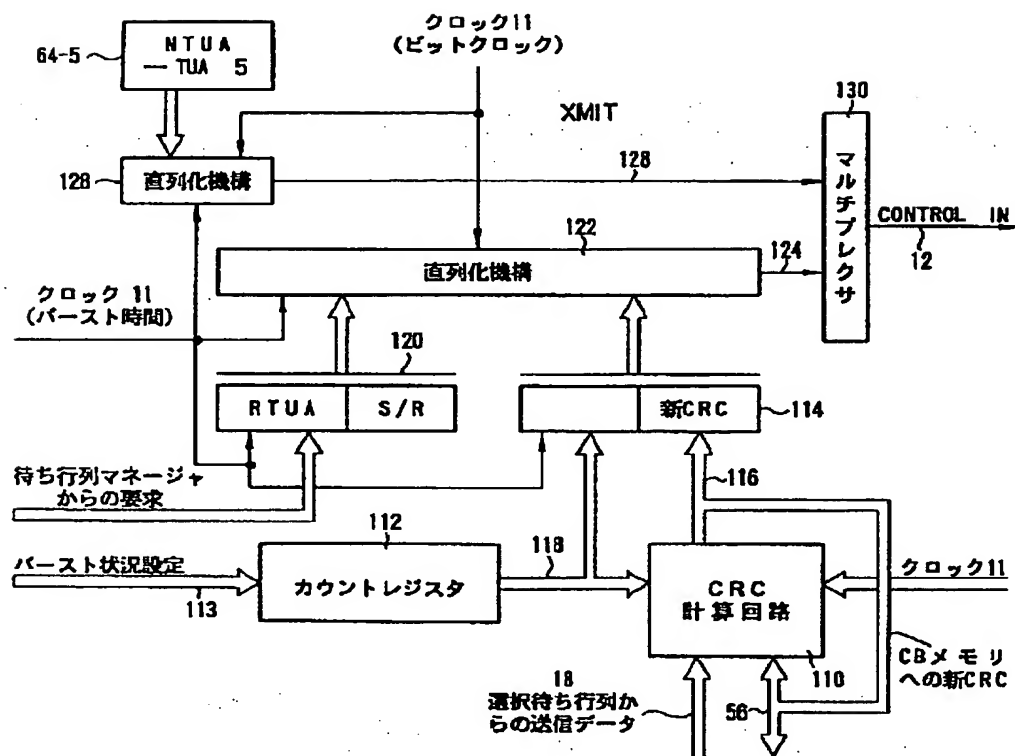
【図8】



【図5】

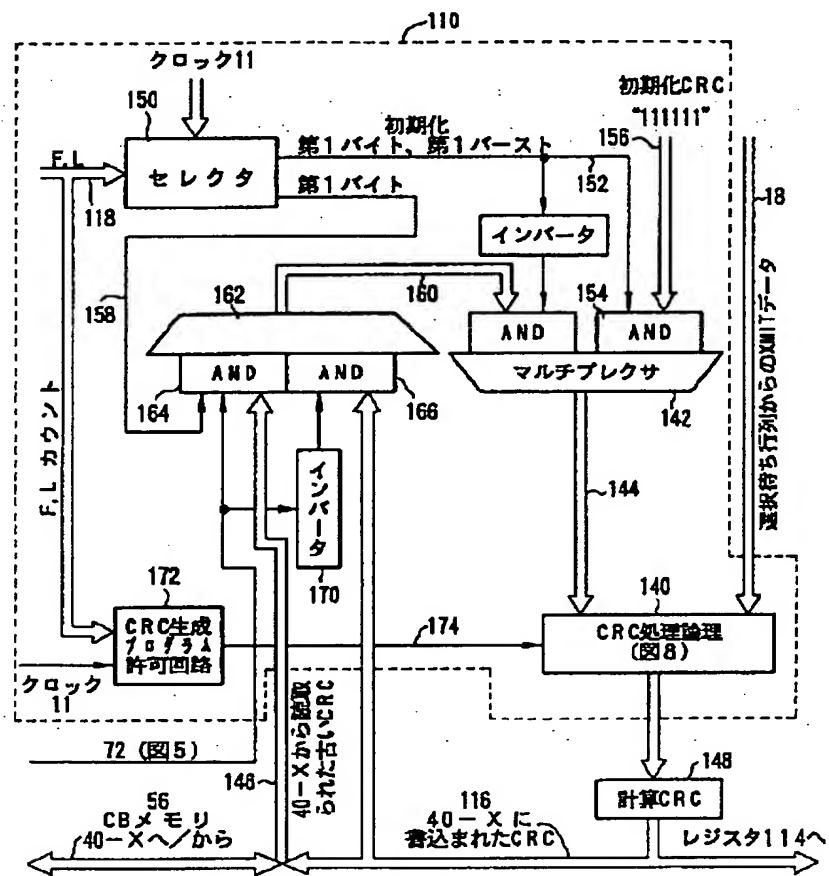


【図6】





【図7】



[illegible]

(72)発明者 フィリップ、ジャシムシク  
フランス国サン、ジャン、リュ、サント、  
バルブ、9

(72)発明者 ジェラルド、バリュッチ  
フランス国ビルヌーブ、ルーベ、アブニ  
ユ、ド、プロバンス、18

(72)発明者 ジャン、カルピニャク  
フランス国ラ、ゴード、シュマン、レバリ  
エール、187

(72)発明者 ファブリス、ベルブランカン  
フランス国カーニュ、シュール、メール、  
リュ、ミシエル、プロバンサル、25